

THE UNITED STATES PATENT AND TRADEMARK OFFICE

3 /
Prod Paper

In re the Application of : Shin-ichiro TAGO et al.

Filed : Concurrently herewith

For : INFORMATION PROCESSING DEVICE

Serial No. : Concurrently herewith

1c303 U.S. PTO
09/66653
09/20/00

September 20, 2000

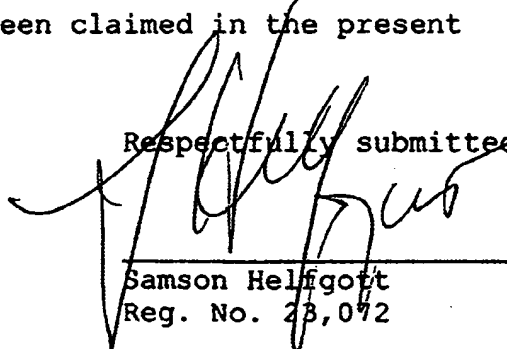
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.(s)
11-341014 of November 30, 1999 and 11-276625 of September 29,
1999 whose priorities have been claimed in the present
application.

Respectfully submitted


Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:FUJH17.759
LHH:priority

Filed Via Express Mail
Rec. No.: EL522335455US
On: September 20, 2000
By: Lydia Gonzalez

Any fee due as a result of this paper,
not covered by an enclosed check may
be charged on Deposit Acct. No. 08-
1634.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 9 月 2 9 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 2 7 6 6 2 5 号

願 人
Applicant(s):

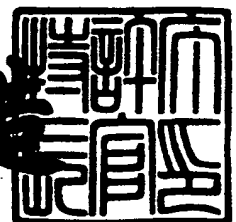
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 8 月 1 8 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 6 5 3 4 8

【書類名】 特許願

【整理番号】 9940448

【提出日】 平成11年 9月29日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 9/28

【発明の名称】 情報処理装置

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 多湖 真一郎

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 佐藤 泰造

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 竹部 好正

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山崎 恭啓

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100094525

 【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 パイプライン処理により命令記憶部内の命令を読み出し、保持し、デコードして実行する情報処理装置において、

前記命令記憶部に読み出し用アドレスを与える命令読出し要求部と、

前記命令記憶部から読み出した命令列を保持する複数の命令バッファを含む命令保持部と、

前記命令保持部が保持する命令をデコードして実行する命令実行ユニットと、

前記命令記憶部から読み出した命令列内の分岐命令を検出する分岐命令検出部と、

前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスを求めるための分岐先アドレスデータを保持する複数の分岐先アドレスデータバッファを含む分岐先アドレスデータ保持部とを有し、

前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスデータを前記複数の分岐先アドレスデータバッファの 1 つに格納するか、又は、前記分岐先アドレスデータバッファへの格納に加えて更に当該分岐命令の分岐先の命令列を前記複数の命令バッファの 1 つに格納することを特徴とする情報処理装置。

【請求項 2】 パイプライン処理により命令記憶部内の命令を読み出し、保持し、デコードして実行する情報処理装置において、

前記命令記憶部に読み出し用アドレスを与える命令読出し要求部と、

前記命令記憶部から読み出した命令列を保持する複数の命令バッファを含む命令保持部と、

前記命令保持部が保持する命令をデコードして実行する命令実行ユニットと、

前記命令記憶部から読み出した命令列内の分岐命令を検出する分岐命令検出部と、

前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスを求めるための分岐先アドレスデータを保持する複数の分岐先アドレスデータ

バッファを含む分岐先アドレスデータ保持部とを有し、

処理中の第 1 の命令列が第 1 又は第 2 の命令バッファの一方に格納され、

前記分岐命令検出部が前記第 1 の命令列内の分岐命令を検出した時に、当該分岐命令の分岐先アドレスデータに従って、分岐先の第 2 の命令列を前記第 1 又は第 2 の命令バッファの他方に格納し、

前記第 1 の命令列内の次の分岐命令の分岐先アドレスデータを第 1 又は第 2 の分岐先アドレスデータバッファの一方に格納し、

前記第 2 の命令列内の分岐命令の分岐先アドレスデータを前記第 1 又は第 2 の分岐先アドレスデータバッファの他方に格納することを特徴とする情報処理装置

。

【請求項 3】請求項 2 において、

処理中の前記第 1 の命令列が、前記第 1 又は第 2 の命令バッファの一方に格納され、前記第 1 の命令列内の分岐命令の分岐先の第 2 の命令列が、前記第 1 又は第 2 の命令バッファの他方に格納され、前記第 1 の命令列内の次の分岐命令の分岐先アドレスデータが前記第 1 の分岐先アドレスデータバッファに格納され、前記第 2 の命令列内の分岐命令の分岐先アドレスデータが、前記第 2 の分岐先アドレスデータバッファに格納されている状態で、

前記第 1 の命令列内の分岐命令が実行された結果分岐が確定した場合は、前記第 1 の命令列、及び前記第 1 の命令列内の次の分岐命令の分岐先アドレスデータを無効化し、

前記第 1 又は第 2 の分岐先アドレスデータバッファの他方に格納されている分岐先アドレスデータに従って、前記第 1 又は第 2 の命令バッファの一方に、前記第 2 の命令列内の分岐命令の分岐先の第 3 の命令列を格納し、

前記第 1 又は第 2 の分岐先アドレスデータバッファの一方に、前記第 2 の命令列内の次の分岐命令の分岐先アドレスデータを格納すると共に、前記第 1 又は第 2 の分岐先アドレスデータバッファの他方に、前記第 3 の命令列内の分岐命令の分岐先アドレスデータを格納することを特徴とする情報処理装置。

【請求項 4】請求項 2 において、

処理中の前記第 1 の命令列が、前記第 1 又は第 2 の命令バッファの一方に格納

され、前記第 1 の命令列内の分岐命令の分岐先の第 2 の命令列が、前記第 1 又は第 2 の命令バッファの他方に格納され、前記第 1 の命令列内の次の分岐命令の分岐先アドレスデータが前記第 1 の分岐先アドレスデータバッファに格納され、前記第 2 の命令列内の分岐命令の分岐先アドレスデータが、前記第 2 の分岐先アドレスデータバッファに格納されている状態で、

前記第 1 の命令列内の分岐命令が実行された結果分岐しないことが確定した場合は、前記第 2 の命令列、及び前記第 2 の命令列内の分岐命令の分岐先アドレスデータを無効化し、

前記第 1 又は第 2 の分岐先アドレスデータバッファの一方に格納されている分岐先アドレスデータに従って、前記第 1 又は第 2 の命令バッファの他方に、前記第 1 の命令列内の次の分岐命令の分岐先の第 4 の命令列を格納し、

前記第 1 又は第 2 の分岐先アドレスデータバッファの一方に、前記第 1 の命令列内の更に次の分岐命令の分岐先アドレスデータを格納すると共に、前記第 1 又は第 2 の分岐先アドレスデータバッファの他方に、前記第 4 の命令列内の分岐命令の分岐先アドレスデータを格納することを特徴とする情報処理装置。

【請求項 5】請求項 1 乃至 4 のいずれかにおいて、

前記命令読み出し要求部からの 1 回の命令読み出し要求に応答して、前記読み出し用アドレスから複数の連続する命令が前記命令記憶部から読み出され、前記命令保持部に保持されることを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パイプライン処理により命令の読み出し、保持、実行を行なう情報処理装置に関し、特に、分岐命令を含む命令列を実行する場合にも、パイプライン処理の乱れを少なくすることができる情報処理装置に関する。

【0002】

【従来の技術】

パイプライン処理を採用したマイクロプロセッサ等の情報処理装置において、連続する命令列の読み出しは、それぞれの命令の実行の完了を待たずに次々と行

われ、実行ユニットの実行サイクルに空きがない様に命令バッファに保持される。しかし、命令列の中に分岐命令があると、その分岐命令の次に実行する可能性がある分岐先命令が、その分岐命令とアドレスが連続しない命令となり、パイプライン処理が乱れ、情報処理装置の性能の低下を引き起こす場合がある。

【 0 0 0 3 】

このため、情報処理装置が分岐命令を読み出した場合に、前もってその分岐命令の分岐先命令列を読み出し、命令バッファに保持しておくことにより、パイプライン処理の乱れを少なくする方法が考えられている。

【 0 0 0 4 】

図 1 3 は、このようなパイプライン処理を行なう従来の情報処理装置の概略構成図である。従来の情報処理装置は、実行すべき命令列を格納する命令記憶部 1 1 と、命令記憶部 1 1 から読み出した命令を保持し、実行すると予測される命令をデコーダ 2 1 に供給する命令バッファ部 1 2 と、命令バッファ部 1 2 から供給された命令をデコードすると共に、その命令が分岐命令である場合は分岐先アドレス用データ（通常相対アドレス）を分岐先アドレス生成部 1 6 に供給するデコーダ 2 1 を備えた命令実行ユニット 2 0 と、デコーダ 2 1 から受けとった分岐先アドレス用データと、現在のアドレスカウンタ値とをもとに分岐先アドレスを生成する分岐先アドレス生成部 1 6 と、プログラムカウンタの値、又は分岐先アドレス生成部 1 6 から受けとった分岐先アドレス、又は命令実行ユニット 2 0 から要求されるアドレス等のうち、次に読み出すべき命令のアドレスを選択し、命令記憶部 1 1 にそのアドレスを供給して命令読み出し要求を行なう命令読み出し要求部 1 7 とを有する。

【 0 0 0 5 】

このような情報処理装置は、デコーダ 2 1 が命令バッファ部 1 2 から供給される命令をデコードし、その命令が分岐命令であることが分かった場合は、その分岐命令の実行前に、その分岐命令の次に実行する命令の候補である分岐先命令のアドレスを求め、前もって命令記憶部 1 1 からその分岐先命令及びそれに続く命令列を読み出して命令バッファ部 1 2 に保持しておくことができる。

【 0 0 0 6 】

従って、分岐命令の実行により分岐先命令への分岐が決定した時、又は分岐先命令への分岐が予測された時に、その分岐先命令列を命令バッファ部 1 2 から命令実行ユニット 2 0 に取り出すことにより、あまりパイプライン処理を乱すことなく高速に分岐命令列の処理を行うことができる。

【 0 0 0 7 】

この場合、命令バッファ部 1 2 に複数系列の命令バッファを設ければ、分岐が予想される分岐先命令列それぞれを複数系列の命令バッファに保持し、分岐が決定した時に分岐先命令をすぐに命令バッファから取り出すことができるので、分岐命令が連続するような場合でも、パイプライン処理の乱れを少なくすることができる。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかし、従来の構成は、分岐命令が多く存在する場合に、分岐が予想される分岐先命令列を全て保持できるように、多数系列の命令バッファを備える。従って、情報処理装置のハードウェアの増大を招くという問題がある。

【 0 0 0 9 】

また、従来の情報処理装置において、分岐命令の分岐先命令列を読み出すためには、分岐命令をデコードして分岐先アドレスを求める必要があったため、分岐命令を読み出してから、それに対応する分岐先命令を読み出すまでに多くの処理時間を要し、複数系列の命令バッファを有効に活用することができなかった。

【 0 0 1 0 】

そこで、本発明の目的は、パイプライン処理によって命令の読み出しを命令実行に先行させて行なう情報処理装置において、命令バッファ等のハードウェアの増大を抑えつつ、連続した分岐命令によってパイプライン処理が乱されるのを減らすことができる情報処理装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、パイプライン処理により命令記憶部内の命令を読み出し、保持し、デコードして実行する情報処理装置

において、前記命令記憶部に読み出し用アドレスを与える命令読出し要求部と、前記命令記憶部から読み出した命令列を保持する複数の命令バッファを含む命令保持部と、前記命令保持部が保持する命令をデコードして実行する命令実行ユニットと、前記命令記憶部から読み出した命令列内の分岐命令を検出する分岐命令検出部と、前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスを求めるための分岐先アドレスデータを保持する複数の分岐先アドレスデータバッファを含む分岐先アドレスデータ保持部とを有し、前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスデータを前記複数の分岐先アドレスデータバッファの 1 つに格納するか、又は、前記分岐先アドレスデータバッファへの格納に加えて更に当該分岐命令の分岐先の命令列を前記複数の命令バッファの 1 つに格納することを特徴とする。

【 0 0 1 2 】

上記の目的を達成するために、本発明の別の側面は、パイプライン処理により命令記憶部内の命令を読み出し、保持し、デコードして実行する情報処理装置において、前記命令記憶部に読み出し用アドレスを与える命令読出し要求部と、前記命令記憶部から読み出した命令列を保持する複数の命令バッファを含む命令保持部と、前記命令保持部が保持する命令をデコードして実行する命令実行ユニットと、前記命令記憶部から読み出した命令列内の分岐命令を検出する分岐命令検出部と、前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスを求めるための分岐先アドレスデータを保持する複数の分岐先アドレスデータバッファを含む分岐先アドレスデータ保持部とを有し、処理中の第 1 の命令列が第 1 又は第 2 の命令バッファの一方に格納され、前記分岐命令検出部が前記第 1 の命令列内の分岐命令を検出した時に、当該分岐命令の分岐先アドレスデータに従って、分岐先の第 2 の命令列を前記第 1 又は第 2 の命令バッファの他方に格納し、前記第 1 の命令列内の次の分岐命令の分岐先アドレスデータを第 1 又は第 2 の分岐先アドレスデータバッファの一方に格納し、前記第 2 の命令列内の分岐命令の分岐先アドレスデータを前記第 1 又は第 2 の分岐先アドレスデータバッファの他方に格納することを特徴とする。

【 0 0 1 3 】

本発明によれば、命令記憶部から読み出した命令列内の分岐命令を検出する分岐命令検出部を有するので、第 1 又は第 2 の命令バッファ内に保持された命令のデコードに先んじて、読み出した命令列の中から分岐命令を検出することができる。

【 0 0 1 4 】

また、分岐命令が第 1 の命令列を処理する場合に、少なくとも処理中の第 1 の命令列と分岐先の第 2 の命令列とを格納する第 1、第 2 の命令バッファを備えれば良いので、分岐先の命令列を格納する命令保持部のハードウェアを少なくすることができる。

【 0 0 1 5 】

また、処理中の第 1 の命令列内の次の分岐命令の分岐先アドレスデータと、分岐先の第 2 の命令列内の次の分岐命令の分岐先アドレスデータとを第 1、第 2 の分岐先アドレスデータバッファに格納する。このため、分岐命令の実行により、分岐する又は分岐せずのいずれの状態になっても、その格納した分岐先アドレスデータにより、分岐先命令列を即座に読み出すことができ、連続した分岐命令によってパイプライン処理が乱されるのを減らすことができる。

【 0 0 1 6 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【 0 0 1 7 】

図 1 はパイプライン処理を行なう本発明の実施の形態の情報処理装置の構成図であり、図 2 は分岐命令を含む命令列の基本形を示す。この命令列の基本形は、命令 01 から命令 08 までの命令列 C 1 と、命令 11 から命令 16 までの命令列 C 2 と、命令 41 から命令 46 までの命令列 C 3 と、命令 21 から命令 28 までの命令列 C 4 とで構成される。また、図 2 の命令列は、命令列 C 2 に分岐する分岐命令 02 と、命令列 C 3 に分岐する分岐命令 04 と、命令列 C 4 に分岐する分岐命令 12 とを有する。

【 0 0 1 8 】

分岐命令 02 が分岐した時の分岐命令先命令列 C 2 内に分岐命令 12 が存在し、分岐

命令02が分岐しない時の元の命令列C 1内に次の分岐命令04が存在するのが、最も典型的な分岐命令を含む命令列といえる。次に、図1、図2により本発明の実施の形態の情報処理装置の構成及び各ブロックの動作について説明する。

【0019】

本実施の形態の情報処理装置は、例えば図2に示した命令列C1～C4が記憶される命令記憶部11と、命令記憶部11から読み出した命令を保持し、分岐予測部13から供給される分岐予測に基づき、次に実行が予測される命令をデコーダ21に供給する命令バッファ部12と、命令バッファ部12から供給された命令を解読するデコーダ21と、デコーダ21から供給される制御信号に従って命令を実行し、図示しないレジスタ等に演算結果を書き込む命令実行部22とを備えた命令実行ユニット20と、プログラムカウンタの値、又は分岐先アドレス生成部16から受けとった分岐先アドレス、又は命令実行ユニット20から要求されるアドレス等から、次に読み出すべき命令のアドレスを選択手段23で選択し、命令記憶部11に命令読み出し要求を行なう命令読み出し要求部17とを有する。

【0020】

また、本実施の形態の情報処理装置は、従来と異なり、命令記憶部11から命令バッファ部12に命令が読み出され、命令バッファe-1又はe-2に格納される段階で分岐命令の存在を検出し、分岐先命令の相対アドレスを分岐先アドレスデータバッファ部15に伝える分岐命令検出部14とを有する。更に、本実施の形態の情報処理装置は、分岐命令検出部14から供給される分岐先命令の相対アドレスと、命令読み出し要求部17から遅延回路19を介して供給される当該分岐命令に対するプログラムカウンタの値とを保持する分岐先アドレスデータバッファ部15と、分岐先アドレスデータバッファ部15から送られてくるプログラムカウンタの値と相対アドレスとを加算して分岐先アドレスを求める分岐先アドレス生成部16とを有する。

【0021】

次に、本実施の形態の情報処理装置の各構成要素について詳細に説明する。命令バッファ部12は、少なくとも2つの命令バッファe-1、e-2を有する。この命令バッファe-1、e-2には、ある時点で、図2に示した命令列C1、C2、C3、C4

のうちの処理中の命令列と、処理中の命令列内にある分岐命令の分岐先命令列とがそれぞれ格納される。また、命令読み出し要求部 1 7 は、命令記憶部 1 1 に記憶されている命令列を、1 度に例えば 2 命令ずつ読み出す。読み出された命令列は、予め選択された命令バッファ e-1 又は e-2 にアドレス順に保持される。

【 0 0 2 2 】

命令バッファ e-1 、 e-2 に格納される命令列に対応するフェッチアドレスは、命令読み出し要求部 1 7 内のフェッチアドレスレジスタ d-1 、 d-2 にそれぞれ格納され、アドレスインCREMENT手段 1 8 によって、インCREMENTされる。

【 0 0 2 3 】

例えば、命令列 C 1 の命令 01、02 が命令バッファ e-1 に保持されており、次の命令アドレス 03 が命令読み出し要求部 1 7 のフェッチアドレスレジスタ d-1 に保持されている場合は、命令列 C 1 の命令 03、04 が読み出され、命令バッファ e-1 の先行する命令列 01、02 の後に順番に保持される。

【 0 0 2 4 】

一方、命令列 C 2 の命令 11、12 が命令バッファ e-2 に保持されており、次の命令アドレス 13 が命令読み出し要求部 1 7 のフェッチアドレスレジスタ d-2 に保持されている場合は、命令列 C 2 の命令 13、14 は、命令バッファ e-2 の先行する命令列 11、12 の後に順番に保持される。

【 0 0 2 5 】

命令バッファ部 1 2 は、分岐予測部 1 3 の分岐予測に基づき、次に実行すると予測される命令を、命令バッファ e-1 又は e-2 のいずれかからデコーダ 2 1 に提供する。この場合、分岐予測部 1 3 の分岐予測は、例えば、分岐命令に付加される分岐優先度を示すヒントビットを参照して行う。また、命令バッファ部 1 2 は、分岐命令の分岐の確定などにより、命令バッファ e-1 又は e-2 に保持している命令列（例えば C 1 又は C 2）を使用しないことが明らかになった場合は、新しく読み出す分岐先命令列（例えば C 4 又は C 3）を保持するために、その時点で保持している命令列を無効にする。なお、命令バッファ部 1 2 には、命令記憶部 1 1 から読み出した命令を命令バッファ e-1 、 e-2 を経由しないでデコーダ 2 1 に供給するバイパスルート 2 4 が設けられている。これにより、読み出した命令

を即座に実行ユニット 20 に供給することができる。

【0026】

分岐命令検出部 14 は、命令記憶部 11 から読み出した命令列内の分岐命令の存在を検出する。この場合、1 度に読み出した 2 つの命令のうち的一方だけが分岐命令の場合には、その分岐命令の分岐先命令の相対アドレスを分岐先アドレスデータバッファ部 15 に送る。

【0027】

一方、命令記憶部 11 から 1 度に読み出した 2 つの命令の両方が分岐命令の場合には、それらの分岐命令のなかで最も分岐する可能性が高い分岐先命令の相対アドレスを分岐先アドレスデータバッファ部 15 に送る。この場合、分岐の可能性は、分岐命令に付加されたヒントビットによって判断する。なお、読み出した命令の中に分岐命令が 1 つも存在しない場合には何もしない。

【0028】

分岐先アドレスデータバッファ部 15 は、命令読み出し要求部 17 から遅延回路 19 を介して送られてくる分岐命令に対応するフェッチアドレスと、分岐命令検出部 14 から送られてくる分岐先命令の相対アドレス（以下、フェッチアドレス及び分岐先命令の相対アドレスを分岐先アドレスデータという。）とを受けとる。そして、その時点で保持している分岐先アドレスデータとの優先度に応じて、どちらの分岐先アドレスデータを保持又は破棄するかを決定し、保持することを決定した分岐先アドレスデータを保持する。

【0029】

例えば、図 2 に示す命令列において、命令列 C 1 内の分岐命令 02 が処理中の場合、第 1 分岐先アドレスデータレジスタ b-1 には、処理中の命令列 C 1 に含まれる次の分岐命令 04 の分岐先命令 41 のアドレスデータが保持される。また、第 2 分岐先アドレスデータレジスタ b-2 には、処理中の命令列 C 1 の最初に分岐命令 02 の分岐先命令列 C 2 に含まれる次の分岐命令 12 の分岐先命令 21 のアドレスデータが保持される。

【0030】

分岐先アドレスデータバッファ部 15 は、第 1 分岐先アドレスデータレジスタ

b-1 に分岐先アドレスデータが格納される場合には、一方の命令バッファe-1 又はe-2 が分岐の確定などで無効化され次第、分岐先アドレス生成部 1 6 に第 1 分岐先アドレスデータレジスタb-1 で保持している分岐先アドレスデータを送る。そしてその後、第 1 分岐先アドレスデータレジスタb-1 に保持していた分岐先アドレスデータを無効化し、次の分岐先アドレスデータを保持できるようにする。

【0 0 3 1】

例えば、第 1 分岐先アドレスデータレジスタb-1 に分岐先命令41のアドレスデータが格納される場合に、分岐命令02が分岐しないことが確定した場合は、命令バッファe-2 に保持している命令列C 2 を無効化する。そして、分岐先アドレス生成部 1 6 に分岐先命令41のアドレスデータを送り、その後、第 1 分岐先アドレスデータレジスタb-1 のアドレスデータを無効化して、命令列C 1 の次の分岐先アドレスデータを保持できるようにする。

【0 0 3 2】

一方、命令実行部 2 2 による分岐命令02の実行により、その分岐が起こることが確定した場合は、第 1 分岐先アドレスデータレジスタb-1 に保持している現在処理中の命令列C 1 内の次の分岐命令04の分岐先アドレスデータを無効化する。更に、第 2 分岐先アドレスデータレジスタb-2 に保持している分岐先命令21のアドレスデータを第 1 分岐先アドレスデータレジスタb-1 に移動する。

【0 0 3 3】

なお、命令バッファ部 1 2 に分岐先命令列C 2 の読み出しが行なわれていない場合で、分岐命令02の実行によりその分岐が起こらないことが確定した場合は、まだ分岐先命令列C 2 を読み出していないので特に無効化は行なわない。

【0 0 3 4】

また、命令バッファ部 1 2 に分岐先命令列C 2 の読み出しが行なわれていない場合で、分岐命令02の実行によりその分岐が起こることが確定した場合は、分岐予測が失敗した場合である。この場合は、第 1 分岐先アドレスデータレジスタb-1 と第 2 分岐先アドレスデータレジスタb-2 の両方に保持している分岐先アドレスデータを無効化し、分岐が起こることが確定した分岐命令02の分岐先命令列C 2 を読み出して分岐処理をやり直す。

【 0 0 3 5 】

次に、命令読み出し要求部 1 7 は、2 つのフェッチアドレスレジスタ d-1 、 d-2 を有し、フェッチアドレスレジスタ d-1 は、命令バッファ部 1 2 の命令バッファ e-1 に保持している命令列の後続の命令のアドレスを保持し、フェッチアドレスレジスタ d-2 は、命令バッファ e-2 に保持している命令列の後続の命令のアドレスを保持する。アドレスインクリメント手段 1 8 は、命令バッファ e-1 、 e-2 が命令を 2 命令ずつ読み出すことに対応し、フェッチアドレスレジスタ d-1 、 d-2 の値に 2 を加算する。

【 0 0 3 6 】

命令読み出し要求部 1 7 は、分岐がない場合は、フェッチアドレスレジスタ d-1 を 2 ずつ加算して、連続する命令列を命令バッファ e-1 に順番に読み出す。一方、分岐が有る場合、即ち、図 2 に示した分岐命令 02 を含む命令列 C 1 を実行する場合は、フェッチアドレスレジスタ d-1 でその分岐命令 02 に連続するアドレスを 2 ずつ加算し、その分岐命令 02 を含む命令列 C 1 を命令バッファ e-1 に順番に読み出す。一方、フェッチアドレスレジスタ d-2 でその分岐命令 02 の分岐先命令 11 に連続するアドレスを 2 ずつ加算し、その分岐先命令列 C 2 を命令バッファ e-2 に順番に読み出す。

【 0 0 3 7 】

本実施の形態によれば、命令記憶部 1 1 から読み出した命令列内に分岐命令が存在するか否かを検出する分岐命令検出部 1 4 を有するので、命令バッファ部 1 2 内に保持された命令のデコードに先んじて、読み出した命令列の中から分岐命令を検出することができる。

【 0 0 3 8 】

また、分岐命令がある命令列を処理する場合に、少なくとも処理中の命令列と最初の分岐先命令列とを格納する第 1、第 2 の命令バッファ e-1 、 e-2 を備えれば良いので、分岐先命令列を格納する命令バッファ部 1 2 のハードウェアを少なくすることができる。

【 0 0 3 9 】

また、処理中の命令列内の次の分岐命令の分岐先アドレスデータと、最初の分

岐先命令列内の次の分岐命令の分岐先アドレスデータとを第 1、第 2 の分岐先アドレスデータレジスタ b-1、b-2 に格納する。このため、分岐命令の実行により、分岐する又は分岐せずのいずれの状態になっても、その格納した分岐先アドレスデータにより、分岐先命令列を即座に読み出すことができ、連続した分岐命令によってパイプライン処理が乱されるのを減らすことができる。

【 0 0 4 0 】

図 3 は、連続して分岐命令がある命令列の具体例である。図 3 の命令列は、アドレスが 01 から 08 まで連続する命令列、アドレスが 11 から 16 まで連続する命令列、アドレスが 21 から 28 まで連続する命令列、アドレスが 31 から 34 まで連続する命令列、アドレスが 41 から 46 まで連続する命令列、アドレスが 51 から 55 まで連続する命令列、アドレスが 61 から 66 まで連続する命令列で構成されている。また、条件分岐命令 02 の分岐先アドレスは 11 であり、条件分岐命令 02 の分岐先命令列はアドレスが 11 から 16 まで連続する命令列である。

【 0 0 4 1 】

図 4 は、図 3 の命令列の分岐ルートを示す説明図である。例えば、図 4 の示す分岐ルート (1) は、命令 02 と命令 12 で連続して分岐する場合であり、分岐ルート (2) は、命令 02 で分岐し命令 12 では分岐しない場合のルートである。また、分岐ルート (3) は、命令 02 で分岐せず命令 04 で分岐する場合のルートであり、分岐ルート (4) は、命令 02 で分岐せず命令 04 でも分岐しない場合のルートである。以下、分岐ルート (1) ~ (4) ごとの動作をタイミングチャートにより説明する。

【 0 0 4 2 】

図 5 は、本発明の実施の形態の情報処理装置で図 4 に示した分岐ルート (1) を実行した場合のタイミングチャートである。図 5 の各サイクルの P、T、C、D、E、W の記号は、1 つの命令に対するパイプライン処理の 5 つのステージを意味し、まず、各ステージの処理の内容について説明する。

【 0 0 4 3 】

フェッチ要求ステージ (P ステージ) は、命令読み出し要求部 1 7 が、分岐先アドレス生成部 1 6 又は命令実行ユニット 2 0 から提供されるアドレスや、アド

レスインクリメント手段 1 8 によってインクリメントされたアドレスから、読み出す命令のアドレスを選択し、命令記憶部 1 1 に命令の読み出し要求を行うパイプラインステージである。また、キャッシュステージ (T ステージ) は、命令記憶部 1 1 の内部において、フェッチ要求されたアドレスの命令を取り出す準備を行なうパイプラインステージである。

【 0 0 4 4 】

命令取り出しステージ (C ステージ) は、命令記憶部 1 1 から読み出した命令を命令バッファ e-1、e-2 に保持し、読み出した命令中に分岐命令が存在するかを分岐命令検出部 1 4 によりチェックし、分岐命令が存在する場合には、分岐先アドレスデータバッファ部 1 5 に分岐先命令の相対アドレスを送ると共に、次の命令を読み出すために、読み出した命令をバイパスルートを通してデコーダ 2 1 に送るパイプラインステージである。

【 0 0 4 5 】

デコードステージ (D ステージ) は、デコーダ 2 1 において命令バッファ部 1 2 から受けとった命令を解読し、制御信号を生成するパイプラインステージである。また、実行ステージ (E ステージ) は、デコーダ 2 1 で生成した制御信号を基に、命令実行部 2 2 において命令の実行を行うパイプラインステージである。この実行ステージで、分岐命令の分岐の判定が行われる。また、書き込みステージ (W ステージ) は、命令の実行により得られた結果をレジスタ等へ書き込むパイプラインステージである。

【 0 0 4 6 】

上記の 5 つのステージのうち、実行ステージ E が連続して実行されることにより、パイプライン処理が乱されることなく行われ、命令実行ユニット 2 0 の資源を最も有効に利用することができる。

【 0 0 4 7 】

次に、図 5 のタイミングチャートについて説明する。図 5 は、図 4 の分岐ルート (1) の場合のタイミングチャートであり、分岐命令 02 と分岐命令 12 で連続して分岐する場合である。

【 0 0 4 8 】

フェッチアドレスレジスタd-1 内のアドレスに従い、命令01、02に対して、サイクル1で命令フェッチ要求が行なわれ（P ステージ）、サイクル2で命令の取り出し準備が行われる（T ステージ）。そして、命令01、02はサイクル3で命令記憶部11から読み出され、命令バッファe-1、e-2は両方とも空いているので、命令バッファe-1に格納される。この時、フェッチアドレスレジスタd-1は、アドレスインクリメント手段18により+2され、命令01、02に連続するアドレス03を保持する。

【0049】

また、サイクル3において、命令02は分岐命令検出部14により分岐命令であることが検出され、分岐命令02の分岐先アドレスデータは、第1分岐先アドレスデータレジスタb-1に保持される（C ステージ）。

【0050】

図6は、サイクル3が終わった時点の命令バッファ等の内容を示す説明図である。命令列01～08は、フェッチアドレスレジスタd-1に対応する命令バッファe-1に格納されるが、サイクル3が終わった時点では命令01、02だけが命令バッファe-1に格納されている。また、分岐命令02の分岐先命令列11～16は、フェッチアドレスレジスタd-2に対応する命令バッファe-2に格納されるが、サイクル3が終わった時点ではまだ格納されていない。

【0051】

上記の通り、サイクル3では、分岐先アドレスデータレジスタb-1には、その時点で実行中の命令列01～08に含まれる最初に分岐命令02の分岐先アドレスデータ（命令11のアドレスデータ）が保持される。但し、分岐先アドレスデータレジスタb-1に保持されている分岐先命令11のアドレスデータは、その後フェッチアドレスレジスタd-2に保持されるので、後続のサイクルで無効化される。そして、現在実行中の命令列01～08の次の分岐命令04の分岐先命令41のアドレスデータが、新たに分岐先アドレスデータレジスタb-1に保持される。分岐命令02が分岐するか否かの最終決定は、サイクル6のE ステージまで待つ必要がある。

【0052】

一方、分岐先アドレスデータレジスタb-2には、その時点で読み出しが行われ

ている分岐先命令列11～16に含まれる最初に分岐命令12の分岐先アドレスデータが保持される。ただし、サイクル3では分岐命令12がまだ読み出されていないので保持されるデータはなく、後続のサイクルで、分岐命令12の分岐先命令21のアドレスデータが、分岐先アドレスデータレジスタb-2 に保持される。

【0053】

次に、図5のサイクル4では、分岐先アドレス生成部16が、分岐先アドレスデータレジスタb-1 の分岐先相対アドレスとフェッチアドレスレジスタd-1 からのカレントアドレスとから、分岐命令02の分岐先アドレス11を算出し、フェッチアドレスレジスタd-2 に格納する。そして、命令読み出し要求部17が、フェッチアドレスレジスタd-2 のアドレスにもとづいて、分岐先命令11、12の読み出し要求を行なう。その直後に、アドレスインクリメント手段18でフェッチアドレスレジスタd-2 のアドレスを+2して、分岐先命令11、12に連続する命令アドレス13をフェッチアドレスレジスタd-2 に保持する。また、前述の通り、第1分岐先アドレスデータレジスタb-1 は、使用済の分岐命令02の分岐先アドレスデータを無効化し、新たに読み出した分岐命令04の分岐先命令41のアドレスデータを保持する。

【0054】

サイクル4で分岐先命令11、12のフェッチ要求（P ステージ）を行うまでは、サイクル2、3において、分岐命令02に連続する命令03、04及び命令05、06のフェッチ要求（P ステージ）を毎サイクル行なう。そして、分岐先命令11、12のフェッチ要求（P ステージ）が行なわれた後の5、6サイクルでは、命令06に連続する命令07、08のフェッチ要求と、分岐先命令11、12に連続する命令13、14のフェッチ要求とを交互に行なう。

【0055】

この場合、分岐先命令11に連続する命令列は、空いている命令バッファe-2 に格納される。但し、命令バッファe-2 が空いていても、分岐命令02の分岐可能性が低い場合は、分岐命令02の分岐先アドレスデータを第1分岐先アドレスデータレジスタb-1 に格納するだけで、分岐命令02の分岐先命令列を命令バッファe-2 に格納しなくても良い。

【 0 0 5 6 】

サイクル 5 において分岐命令 02 が D ステージに進み、例えば、分岐命令 02 に付加されたヒントビットにより、分岐命令 02 が分岐すると予測される場合は、命令バッファ e-1 に保持している命令 02 に連続する命令列 03 ~ 06 のかわりに、命令バッファ e-2 に読み出された分岐先命令列 11、12 を、後続のサイクルで D ステージに提供する。しかし、図 5 の命令列の場合は、サイクル 6 の開始時点でまだ分岐先命令列 11、12 が命令バッファ e-2 に読み出されていないため、次のサイクル 7 から、分岐先命令列 11、12 を D ステージに提供する。

【 0 0 5 7 】

サイクル 6 になると、分岐命令 12 が命令記憶部 1 1 から読み出され（C ステージ）、分岐命令検出部 1 4 により分岐命令であることが検出され、分岐命令 12 の分岐先命令 21 のアドレスデータが第 2 分岐先アドレスデータレジスタ b-2 に保持される。この時点では、2 つの命令バッファ e-1、e-2 が使用されているので、新たな分岐先命令列を保持することができず、どちらかの命令バッファ e-1、e-2 が無効化され空きが生じるまで、第 2 分岐先アドレスデータレジスタ b-2 のアドレスデータは保持される。

【 0 0 5 8 】

この時点が、本実施の形態例の最も特徴的な状態である。即ち、現在処理中の命令列 01 ~ 08 がフェッチアドレスレジスタ d-1 により命令バッファ e-1 に格納され、分岐命令 02 の分岐先命令列 11 ~ 16 がフェッチアドレスレジスタ d-2 により命令バッファ e-2 に格納され、処理中の命令列 01 ~ 08 の次の分岐命令 04 の分岐先アドレスデータが第 1 分岐先アドレスデータレジスタ b-1 に格納され、分岐先命令列 11 ~ 16 の次の分岐命令 12 の分岐先アドレスデータが第 2 分岐先アドレスデータレジスタ b-2 に格納されている。そして、サイクル 6 における分岐命令 02 の実行ステージ E の結果を待っている。

【 0 0 5 9 】

そこで、サイクル 6 では、デコードされた分岐命令 02 が E ステージに進み、分岐の有無の判定が行なわれる。図 4 のルート（1）に従って、命令 11 に分岐することが確定すると、新しく分岐先命令を読み出せるように、命令 02 に連続する命

令列03～08に関連するフェッチアドレスレジスタd-1 及び命令バッファe-1 を無効化し、更に、分岐命令04の分岐先アドレスデータを保持している第1分岐先アドレスデータレジスタb-1 を無効化する。そして、第2分岐先アドレスデータレジスタb-2 に保持している分岐命令12の分岐先命令21のアドレスデータを、第1分岐先アドレスデータレジスタb-1 に転送する。

【0060】

図7は、サイクル6が終わった時点の命令バッファ等の内容を示す説明図である。サイクル6では、分岐命令02が命令11に分岐することが確定するので、命令バッファe-1 に保持している命令02に連続する命令列03～06を無効化する。更に、第1分岐先アドレスデータレジスタb-1 のデータから生成される分岐先アドレス(21)をフェッチアドレスレジスタd-1 に格納することで、その後命令バッファe-1 に、命令21から連続する命令列21～28を格納できる状態にする。

【0061】

また、前述のように、第2分岐先アドレスデータレジスタb-2 に保持されている分岐命令12の分岐先命令21のアドレスデータは、第1分岐先アドレスデータレジスタb-1 に転送されている。そして、後続のサイクルで、第1分岐先アドレスデータレジスタb-1 には、処理中の命令列11～16内の次の分岐命令14の分岐先命令51のアドレスデータが保持され、第2分岐先アドレスデータレジスタb-2 には、分岐先命令列21～28内の分岐命令22の分岐先命令31のアドレスデータが保持される。

【0062】

図5に戻り、次のサイクル7では、分岐先アドレス生成部16が、第1分岐先アドレスデータレジスタb-1 に保持されている分岐命令12の分岐先アドレスデータから、分岐先アドレス(21)を計算し、命令読み出し要求部17が、命令列21、22のフェッチ要求を行う。そして、フェッチアドレスレジスタd-1 のアドレスはインクリメントされ、命令21、22に連続するアドレス(23)がフェッチアドレスレジスタd-1 に保持される。また、第1分岐先アドレスデータレジスタb-1 は、保持している分岐先アドレスデータを分岐先アドレス生成部16に送った後、無効化される。

【 0 0 6 3 】

サイクル 8 では、命令 11 が命令実行部 22 により実行される（E ステージ）。この命令 11 の E ステージは、命令 02 の E ステージから 1 サイクル遅れで行われる。なぜなら、命令 11 のフェッチ開始である P ステージが遅れてしまい、サイクル 7 の時点で命令 11 の E ステージへの移行が間に合わなかったからである。但し、分岐命令 02 の E ステージが、先行する命令列のために遅れている場合は、分岐命令 02 の E ステージの次のサイクルで、分岐先命令 11 の E ステージに移行することができる。この場合は、パイプライン処理にまったく乱れは生じない。

【 0 0 6 4 】

サイクル 8 では、分岐命令 14 の分岐先アドレスデータが第 1 分岐先アドレスデータレジスタ b-1 に格納され、分岐命令 12 が D ステージに進む。分岐命令 12 に付加されるヒントビットにより、分岐命令 12 が分岐すると予測される場合は、図 4 のルート（1）に従って、命令バッファ e-2 に保持している命令 12 に連続する命令列 13、14 のかわりに、命令バッファ e-1 に保持している分岐先命令列 21、22 を、後続のサイクルから D ステージに提供する。しかし、図 5 の命令列の場合は、サイクル 9 の開始時点で、まだ分岐先命令列 21、22 が命令バッファ e-1 に読み出されていないため、次のサイクル 10 から、分岐先命令列 21、22 を D ステージに提供する。

【 0 0 6 5 】

サイクル 9 では、分岐命令 22 が命令記憶部 11 から読み出され、分岐命令検出部 14 により分岐命令であることが検出され、分岐命令 22 の分岐先アドレスデータが第 2 分岐先アドレスデータレジスタ b-2 に保持される。そこで、デコードされた分岐命令 12 が E ステージに進み、分岐の有無の判定が行なわれる。この例では、命令 21 に分岐することが確定するので、第 1 分岐先アドレスデータレジスタ b-1 に保持している分岐命令 14 の分岐先アドレスデータを無効化する。そして、分岐命令 22 の分岐先アドレスデータを第 2 分岐先アドレスデータレジスタ b-2 から第 1 分岐先アドレスデータレジスタ b-1 に転送して保持し、命令 12 に連続する命令列 13～16 に関連するフェッチアドレスレジスタ d-2 及び命令バッファ e-2 を無効化する。

【 0 0 6 6 】

図 8 は、サイクル 9 が終わった時点の命令バッファ等の内容を示す説明図である。サイクル 9 では、分岐命令 12 が命令 21 に分岐することが確定するので、命令バッファ e-2 に保持している命令 12 に連続する命令列 13、14 を無効化する。更に、第 1 分岐先アドレスデータレジスタ b-1 のデータから生成される分岐先アドレス (31) をフェッチアドレスレジスタ d-2 に格納することで、その後、命令バッファ e-2 に、命令 31 から連続する命令列を格納できる状態にする。

【 0 0 6 7 】

また、第 2 分岐先アドレスデータレジスタ b-2 に保持されている分岐命令 22 の分岐先命令 31 のアドレスデータは、第 1 分岐先アドレスデータレジスタ b-1 に転送されている。そして、後続のサイクルで、第 1 分岐先アドレスデータレジスタ b-1 には、実行中の命令列 21～28 内の次の分岐命令 24 の分岐先アドレスデータが保持され、第 2 分岐先アドレスデータレジスタ b-2 には、分岐先命令列 31～34 内の分岐命令 32 の分岐先アドレスデータが保持される。

【 0 0 6 8 】

図 5 に戻り、次のサイクル 10 において、分岐先アドレス生成部 16 が、分岐命令 22 の分岐先アドレスデータより、分岐先アドレスを計算する。そして、命令読み出し要求部 17 が、分岐先命令 31、32 のフェッチ要求を行う。これ以降は上記の処理とほぼ同様であるが、サイクル 12 で分岐命令 22 が E ステージに進み、分岐しないことが確定するので、命令バッファ e-2 に保持している命令 31、32 を無効化し、サイクル 13～20 において命令列 23～28 のパイプライン処理を行う。

【 0 0 6 9 】

パイプライン処理を高速に実行するためには、前述の通り、実行ステージ (E ステージ) を連続させることが重要である。本実施の形態の情報処理装置は、分岐命令が分岐すると予測した場合において、その分岐命令が予測どおりに分岐する場合は、通常、その分岐命令に十分先行して命令フェッチが行われているので、E ステージの空き時間、即ち分岐ペナルティはない。一方、その分岐命令が予測に反して分岐しなかった場合は、分岐命令の E ステージの後に分岐先命令のデコードステージ (D ステージ) が行われるので、分岐ペナルティは 1 になる。

【0070】

ただし、分岐命令のEステージが早く行われ、分岐先命令のフェッチ要求ステージ（Pステージ）が遅れた場合は、分岐ペナルティが1になる。また、命令バッファe-1、e-2に読み出した最初の命令が分岐命令の場合は、分岐先命令のEステージは最も遅れ、分岐ペナルティは最悪の2になる。

【0071】

同様に、本実施の形態の情報処理装置は、分岐命令が分岐しないと予測した場合において、その分岐命令が予測どおりに分岐しない場合は、通常、その分岐命令に十分先行して命令フェッチが行われているので、分岐ペナルティはない。一方、その分岐命令が予測に反して分岐した場合は、分岐命令のEステージの後に分岐先命令のDステージが行われるので、分岐ペナルティは1になる。

【0072】

ただし、命令バッファe-1、e-2に読み出した最初の命令が分岐命令の場合は、分岐先命令のEステージは最も遅れ、分岐ペナルティは最悪の2になる。

【0073】

図5に示した分岐ルート（1）の場合、命令02による1番目の分岐に関して生じる分岐ペナルティは、図示される通り、サイクル7における1サイクル期間であり、命令12による2番目の分岐に関して生じる分岐ペナルティは、サイクル10における1サイクル期間であり、命令22による3番目の分岐（この例では非分岐）に関して生じる分岐ペナルティは、サイクル13における1サイクル期間である。

【0074】

図9は、図4の分岐ルート（2）の場合のタイミングチャートであり、分岐命令02で分岐し、分岐命令12で分岐しない場合である。分岐命令02で分岐するのは分岐ルート（1）と同様であり、分岐命令12で分岐しない場合の動作は、分岐ルート（1）の分岐命令22で分岐しない場合の動作と同様である。即ち、図9の分岐命令12がサイクル9の実行ステージ（Eステージ）で分岐しないことが確定した場合に、命令バッファe-1に読み出していた分岐先命令列21、22を無効化し、後続の命令列13～16を実行する。

【0075】

分岐ルート（２）の場合は、分岐ルート（１）の場合と同様に、命令02による１番目の分岐に関して生じる分岐ペナルティは、サイクル７における１サイクル期間であり、命令12による２番目の分岐に関して生じる分岐ペナルティは、サイクル１０における１サイクル期間であり、命令14による３番目の分岐に関して生じる分岐ペナルティは、サイクル１３における１サイクル期間である。

【0076】

図１０は、図４の分岐ルート（３）の場合のタイミングチャートであり、分岐命令02で分岐せず、分岐命令04で分岐する場合である。分岐命令02で分岐しない場合の動作は、分岐ルート（１）の分岐命令22で分岐しない場合の動作と同様であり、分岐命令04で分岐する場合の動作は、分岐ルート（１）の分岐命令02で分岐する場合の動作と同様である。

【0077】

分岐ルート（３）の場合も、分岐ルート（１）、（２）の場合と同様に、命令02による１番目の分岐に関して生じる分岐ペナルティは、サイクル７における１サイクル期間であり、命令04による２番目の分岐に関して生じる分岐ペナルティは、サイクル１０における１サイクル期間であり、命令42による３番目の分岐に関して生じる分岐ペナルティは、サイクル１３における１サイクル期間である。

【0078】

図１１は、図１０の分岐ルート（３）の場合において、サイクル６が終わった時点の命令バッファ等の内容を示す説明図である。サイクル６では、分岐命令02が命令11に分岐しないことが確定するので、命令バッファe-2に保持している命令列11、12を無効化する。そして、第１分岐先アドレスデータレジスタb-1のデータから生成される分岐先アドレス(41)を、フェッチアドレスレジスタd-2に格納することで、その後、命令バッファe-2に、命令41から連続する命令列を格納できる状態にする。

【0079】

また、第２分岐先アドレスデータレジスタb-2に保持されている分岐命令12の分岐先命令21のアドレスデータが無効化され、後続のサイクルで、第２分岐先ア

ドレスデータレジスタb-2 に分岐命令42の分岐先命令61のアドレスデータが保持される。

【0080】

図12は、図4の分岐ルート(4)の場合のタイミングチャートであり、分岐命令02、04で分岐しない場合である。分岐命令02で分岐しないのは分岐ルート(3)と同様であり、分岐命令04で分岐しない場合の動作は、分岐ルート(1)の分岐命令22で分岐しない場合の動作と同様である。

【0081】

分岐ルート(4)の場合、命令02による1番目の分岐に関して生じる分岐ペナルティは、サイクル7における1サイクル期間であり、命令04による2番目の分岐に関して生じる分岐ペナルティは、サイクル9における1サイクル期間である。

【0082】

このように本発明の実施の形態の情報処理装置によれば、命令記憶部11から読み出した命令列内に分岐命令が存在するか否かを検出する分岐命令検出部14を有するので、命令バッファ部12内に保持された命令のデコードに先んじて、読み出された命令列の中から分岐命令を検出することができる。

【0083】

また、分岐命令がある命令列を処理する場合に、少なくとも処理中の命令列と最初の分岐先命令列とを格納する第1、第2の命令バッファe-1、e-2を備えれば良いので、分岐先命令列を格納する命令バッファ部12のハードウェアを少なくすることができる。

【0084】

また、処理中の命令列内の次の分岐命令の分岐先アドレスデータと、最初の分岐先命令列内の次の分岐命令の分岐先アドレスデータとを第1、第2の分岐先アドレスデータレジスタb-1、b-2に格納しているので、分岐命令の実行により、分岐する又は分岐せずのいずれの状態になっても、その格納した分岐先アドレスデータにより、分岐先命令列を即座に読み出すことができ、連続した分岐命令によってパイプライン処理が乱されるのを減らすことができる。

【 0 0 8 5 】

なお、本実施の形態では、命令バッファ e-1 、 e-2 と分岐先アドレスデータレジスタ b-1 、 b-2 がそれぞれ 2 個ずつの場合について説明したが、それらは 2 個ずつに限定されるものではなく、 3 個以上の複数個であっても良い。

【 0 0 8 6 】

上記の実施の形態例について、更に整理すると、請求項に記載の発明に加えて以下の通りである。但し、本発明が以下のものに限定されることはない。

【 0 0 8 7 】

(1) パイプライン処理により命令記憶部内の命令を読み出し、保持し、デコードして実行する情報処理装置において、

前記命令記憶部に読み出し用アドレスを与える命令読出し要求部と、

前記命令記憶部から読み出した命令列を保持する複数の命令バッファを含む命令保持部と、

前記命令保持部が保持する命令をデコードして実行する命令実行ユニットと、

前記命令記憶部から読み出した命令列内の分岐命令を検出すると共に、分岐命令の分岐予測の情報を検出する分岐命令検出部と、

前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスを求めるための分岐先アドレスデータを保持する複数の分岐先アドレスデータバッファを含む分岐先アドレスデータ保持部とを有し、

前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスデータを前記複数の分岐先アドレスデータバッファの 1 つに格納するか、又は、前記分岐先アドレスデータバッファへの格納に加えて更に当該分岐命令の分岐先の命令列を前記複数の命令バッファの 1 つに格納することを特徴とする情報処理装置。

【 0 0 8 8 】

(2) 上記 (1) において、

前記分岐命令検出部が検出した分岐命令の分岐予測の情報に従って、前記分岐先アドレスデータ保持部が当該分岐命令の分岐先アドレスデータを保持するか否かが選択されることを特徴とする情報処理装置。

【 0 0 8 9 】

(3) 上記 (1) において、

前記分岐命令検出部が検出した分岐命令の分岐予測の情報に従って、前記命令保持部が当該分岐命令の分岐先の命令列を取り込むか否かが選択されることを特徴とする情報処理装置。

【 0 0 9 0 】

(4) 上記 (1) において、

前記分岐命令検出部により分岐命令が所定の高い確率で分岐しないと予測された場合、

前記分岐先アドレスデータ保持部は、当該分岐命令の分岐先アドレスデータを保持せず、前記命令保持部は、当該分岐命令の分岐先の命令列を取り込まないことを特徴とする情報処理装置。

【 0 0 9 1 】

(5) 上記 (1) において、

前記分岐先アドレスデータ保持部が、第 1 の分岐命令の分岐先アドレスデータを保持している場合に、前記分岐命令検出部が、前記第 1 の分岐命令より分岐の可能性が高い第 2 の分岐命令を検出した場合は、

前記分岐先アドレスデータ保持部は、前記第 1 の分岐命令の分岐先アドレスデータを無効化し、前記第 2 の分岐命令の分岐先アドレスデータを保持することを特徴とする情報処理装置。

【 0 0 9 2 】

(6) 上記 (1) において、

前記命令保持部の命令バッファが空いている時において、前記分岐命令検出部が第 1 の分岐可能性を有する第 1 の分岐命令を検出した場合は、前記第 1 の分岐命令の分岐先命令列を前記命令保持部に取り込むことなく、前記分岐先アドレスデータ保持部が第 1 の分岐命令の分岐先アドレスデータを保持し、

前記分岐命令検出部が前記第 1 の分岐可能性より高い第 2 の分岐可能性を有する第 2 の分岐命令を検出した場合は、前記第 2 の分岐命令の分岐先命令列を前記命令保持部に取り込むことを特徴とする情報処理装置。

【0093】

なお、本発明の保護範囲は、上記の実施の形態に限定されず、特許請求の範囲に記載された発明とその均等物に及ぶものである。

【0094】

【発明の効果】

以上、本発明によれば、命令記憶部より読み出した命令を命令バッファに格納する前に分岐命令の存在を検出し、分岐命令が存在した場合に、検出した分岐命令の分岐先アドレスデータを保持することにより、命令バッファ等のハードウェアの増大を抑えつつ、連続した分岐命令により生じるパイプラインの乱れを減らすことができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態の情報処理装置の構成図である。

【図2】

分岐命令を含む命令列の基本形の説明図である。

【図3】

情報処理装置で処理される命令列の例である。

【図4】

図3の命令列の分岐ルートを示す説明図である。

【図5】

図4の分岐ルート（1）の場合のタイミングチャートである。

【図6】

分岐ルート（1）のサイクル3における命令バッファの内容を示す説明図である。

【図7】

分岐ルート（1）のサイクル6における命令バッファの内容を示す説明図である。

【図8】

分岐ルート（1）のサイクル9における命令バッファの内容を示す説明図であ

る。

【図 9】

図 4 の分岐ルート (2) の場合のタイミングチャートである。

【図 1 0】

図 4 の分岐ルート (3) の場合のタイミングチャートである。

【図 1 1】

分岐ルート (3) のサイクル 6 における命令バッファの内容を示す説明図である。

【図 1 2】

図 4 の分岐ルート (4) の場合のタイミングチャートである。

【図 1 3】

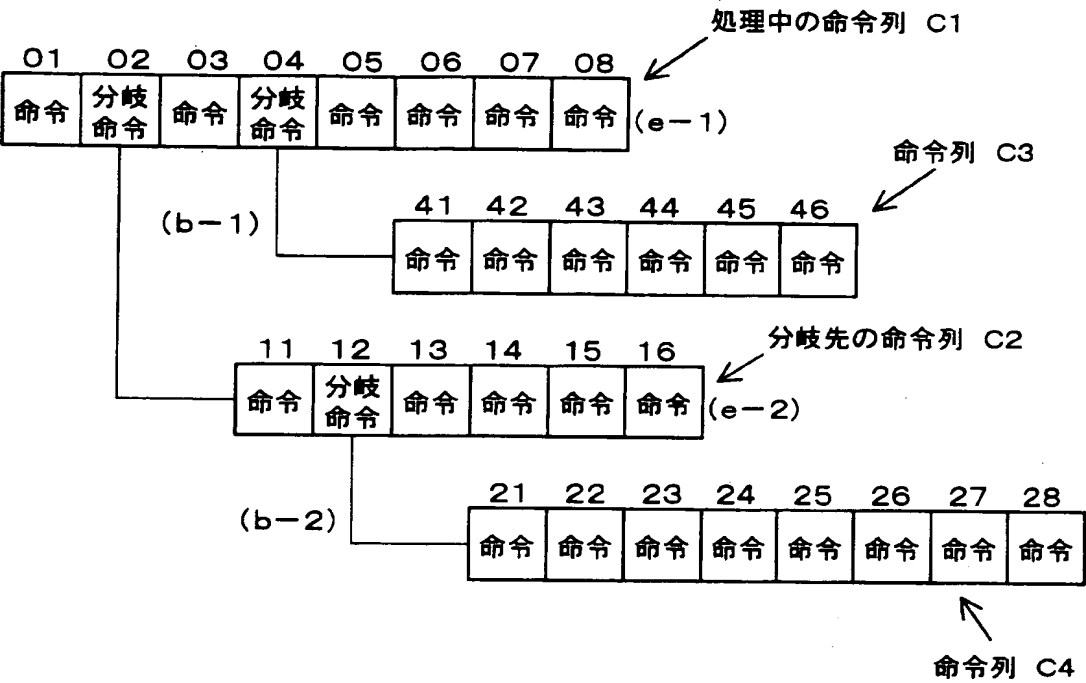
従来の情報処理装置の概略構成図である。

【符号の説明】

- 1 1 命令記憶部
- 1 2 命令バッファ部
- 1 3 分岐予測部
- 1 4 分岐命令検出部
- 1 5 分岐先アドレスデータバッファ部
- 1 6 分岐先アドレス生成部
- 1 7 命令読み出し要求部
- 1 8 アドレスインクリメント手段
- 1 9 遅延回路
- 2 0 命令実行ユニット
- 2 1 デコーダ
- 2 2 命令実行部

【図 2】

分岐命令を含む命令列の基本形の説明図



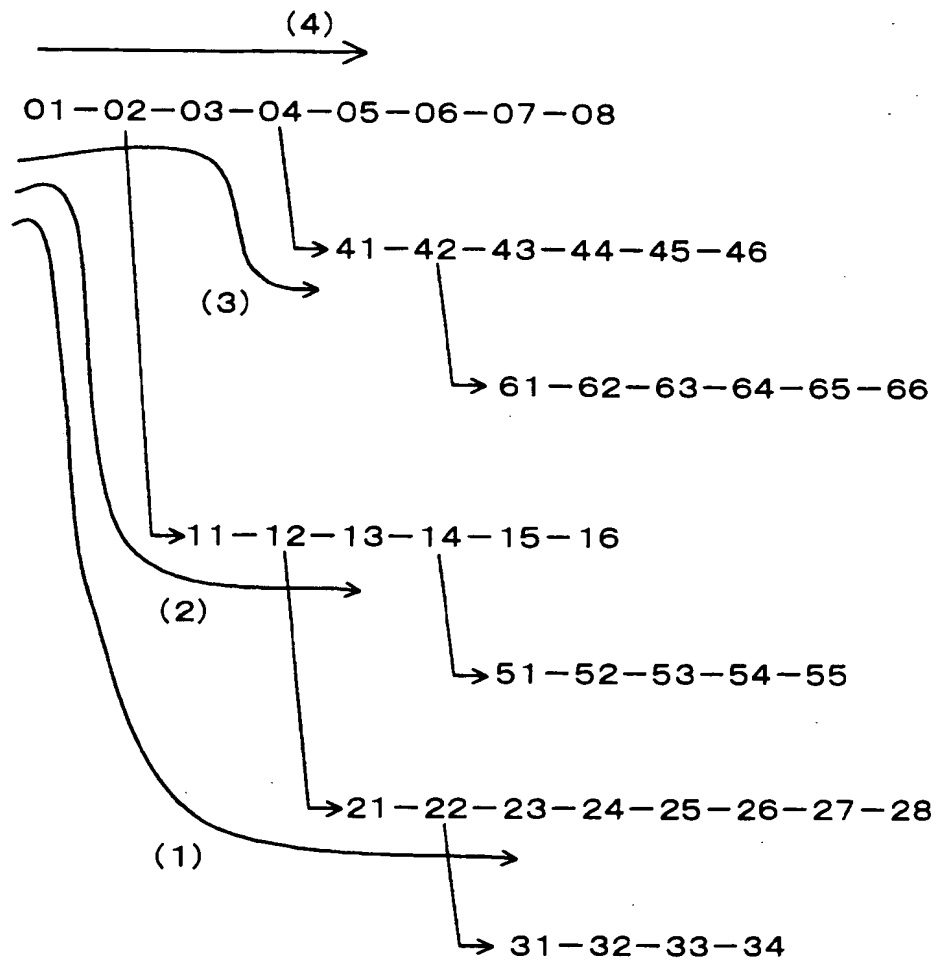
【図 3】

情報処理装置で処理される命令列の例

命令アドレス	命令
01	条件判定命令
02	条件分岐命令 (アドレス 11 へ分岐)
03	条件判定命令
04	条件分岐命令 (アドレス 41 へ分岐)
05	演算命令
06	"
07	"
08	"
11	条件判定命令
12	条件分岐命令 (アドレス 21 へ分岐)
13	条件判定命令
14	条件分岐命令 (アドレス 51 へ分岐)
15	演算命令
16	"
21	条件判定命令
22	条件分岐命令 (アドレス 31 へ分岐)
23	条件判定命令
24	条件分岐命令
25	演算命令
26	"
27	"
28	"
31	条件判定命令
32	条件分岐命令
33	条件判定命令
34	条件分岐命令
41	条件判定命令
42	条件分岐命令 (アドレス 61 へ分岐)
43	演算命令
44	"
45	"
46	"
51	演算命令
52	"
53	"
54	"
55	"
61	演算命令
62	"
63	"
64	"
65	"
66	"

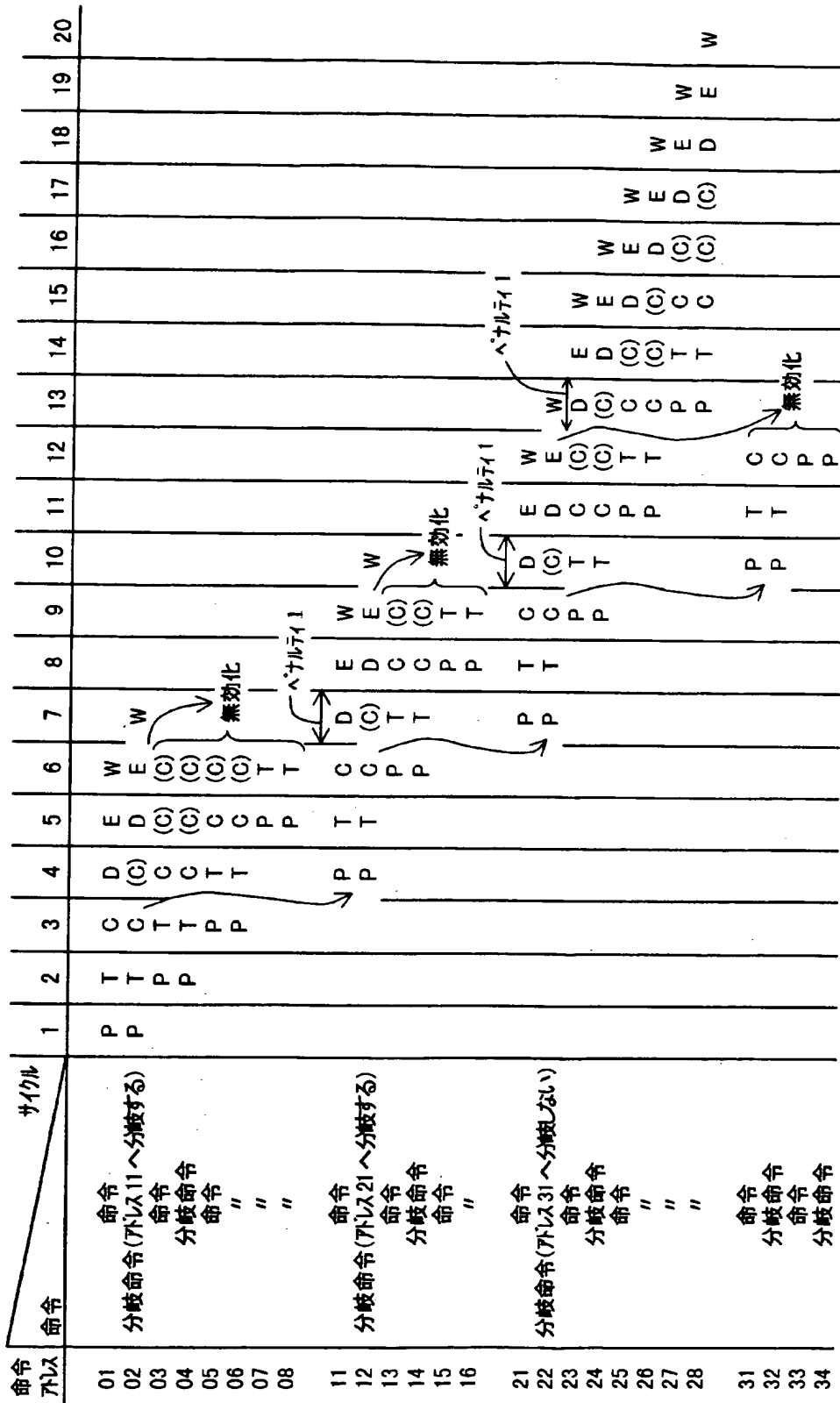
【図 4】

図3の命令列の分岐ルートを示す説明図



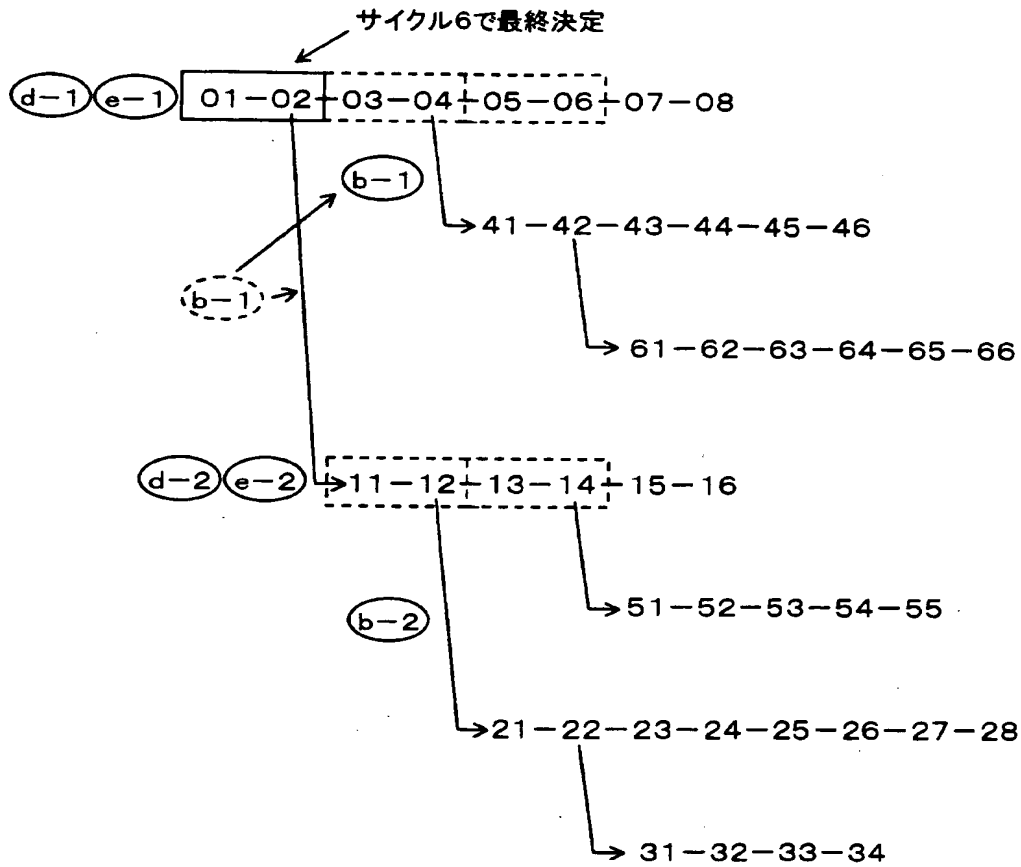
【図 5】

図4の分岐ルール(1)の場合のタイミングチャート



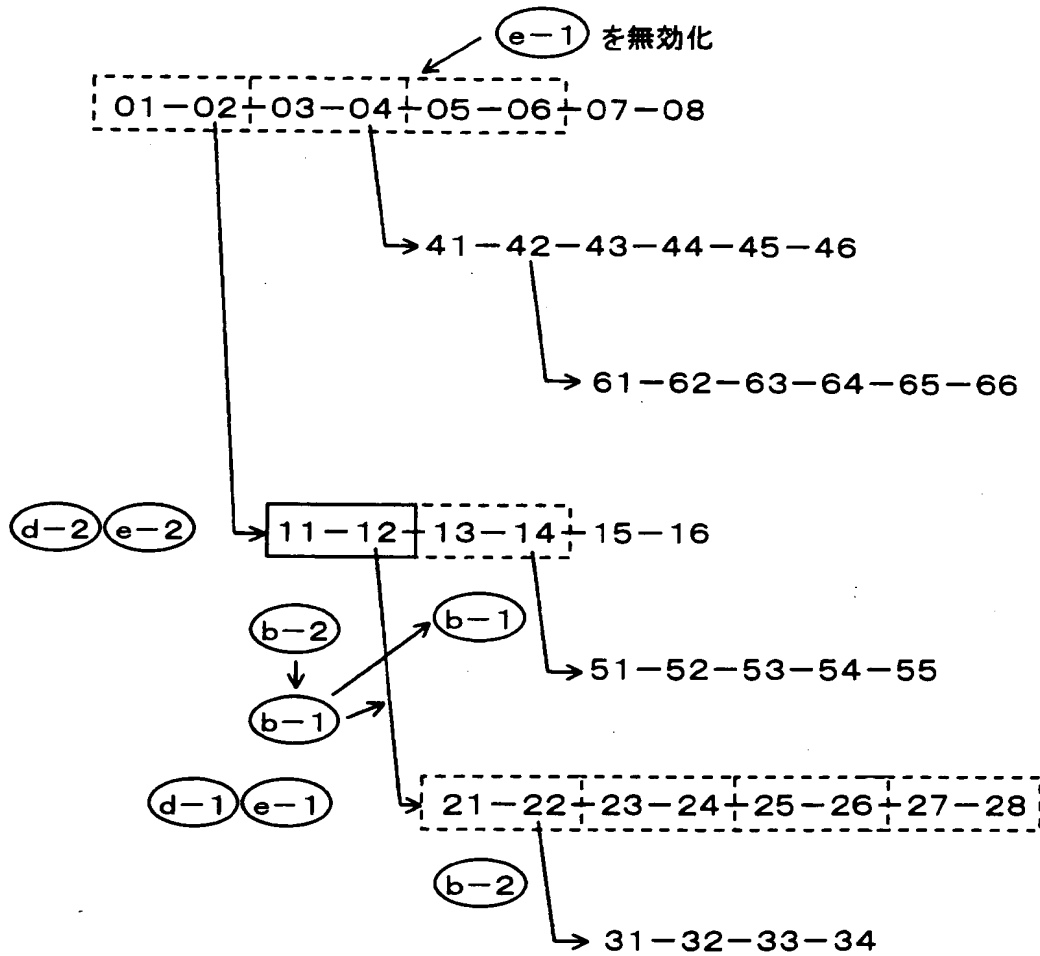
【図 6】

分岐ルート(1)のサイクル3における命令バッファの内容を示す説明図



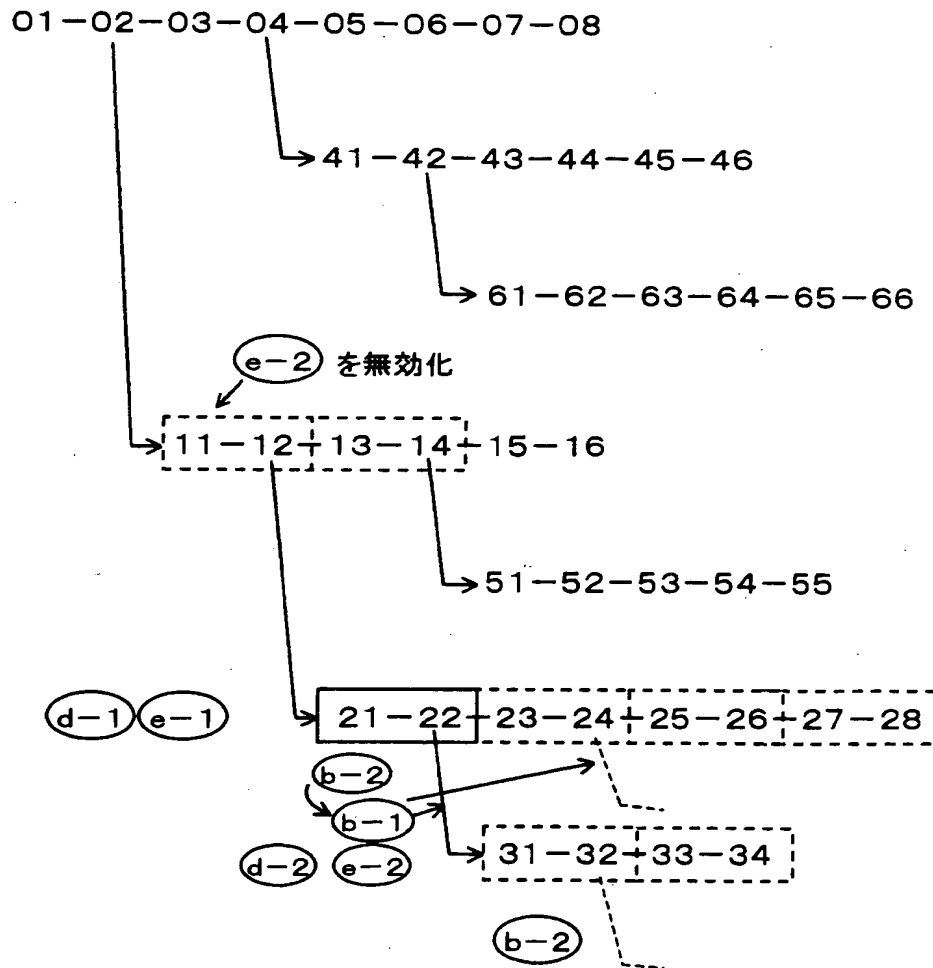
【図 7】

分岐ルート(1)のサイクル6における命令バッファの内容を示す説明図
(分岐命令02の分岐が確定する場合)



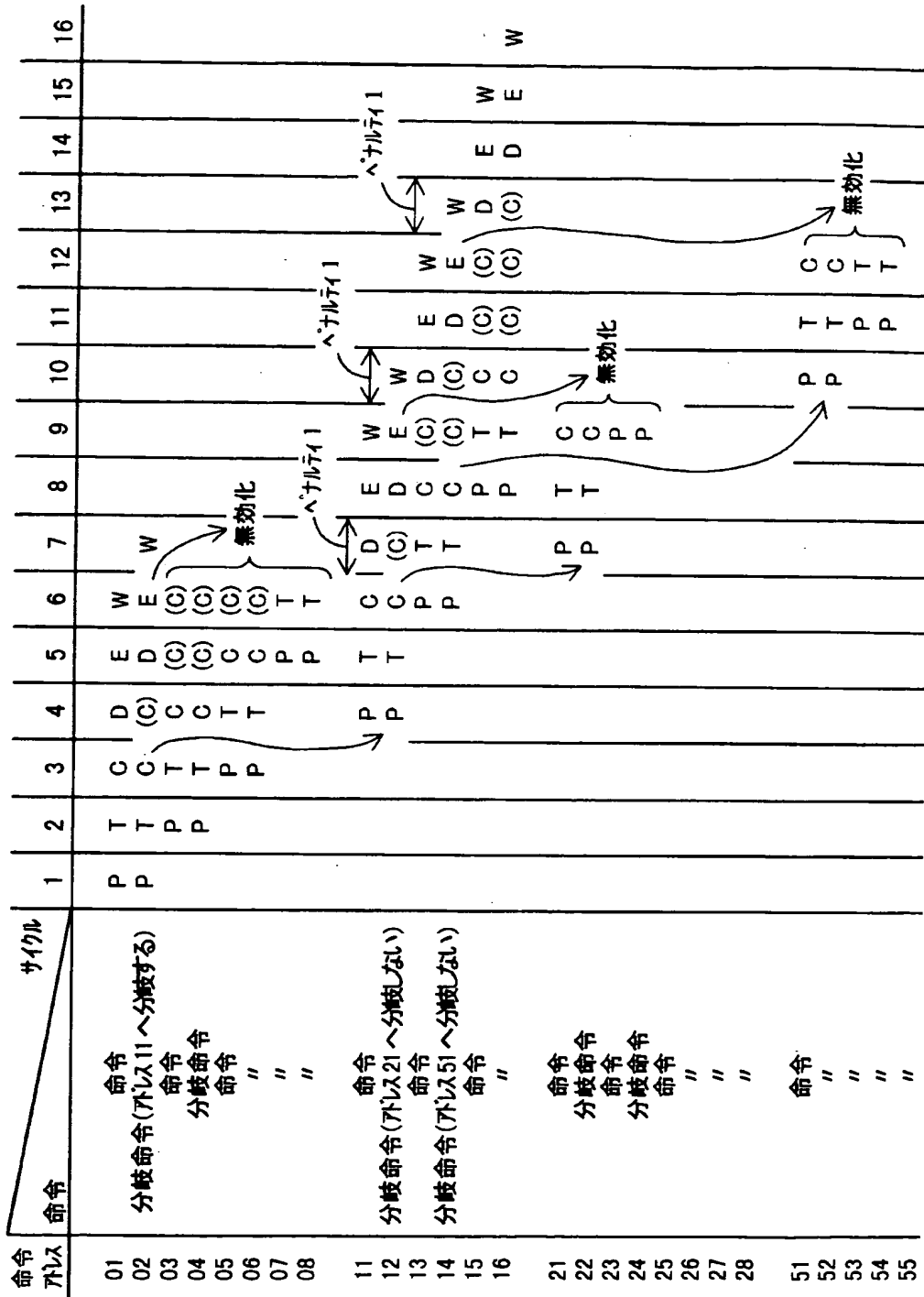
【図 8】

分岐ルート(1)のサイクル9における命令バッファの内容を示す説明図
(分岐命令12の分岐が確定する場合)



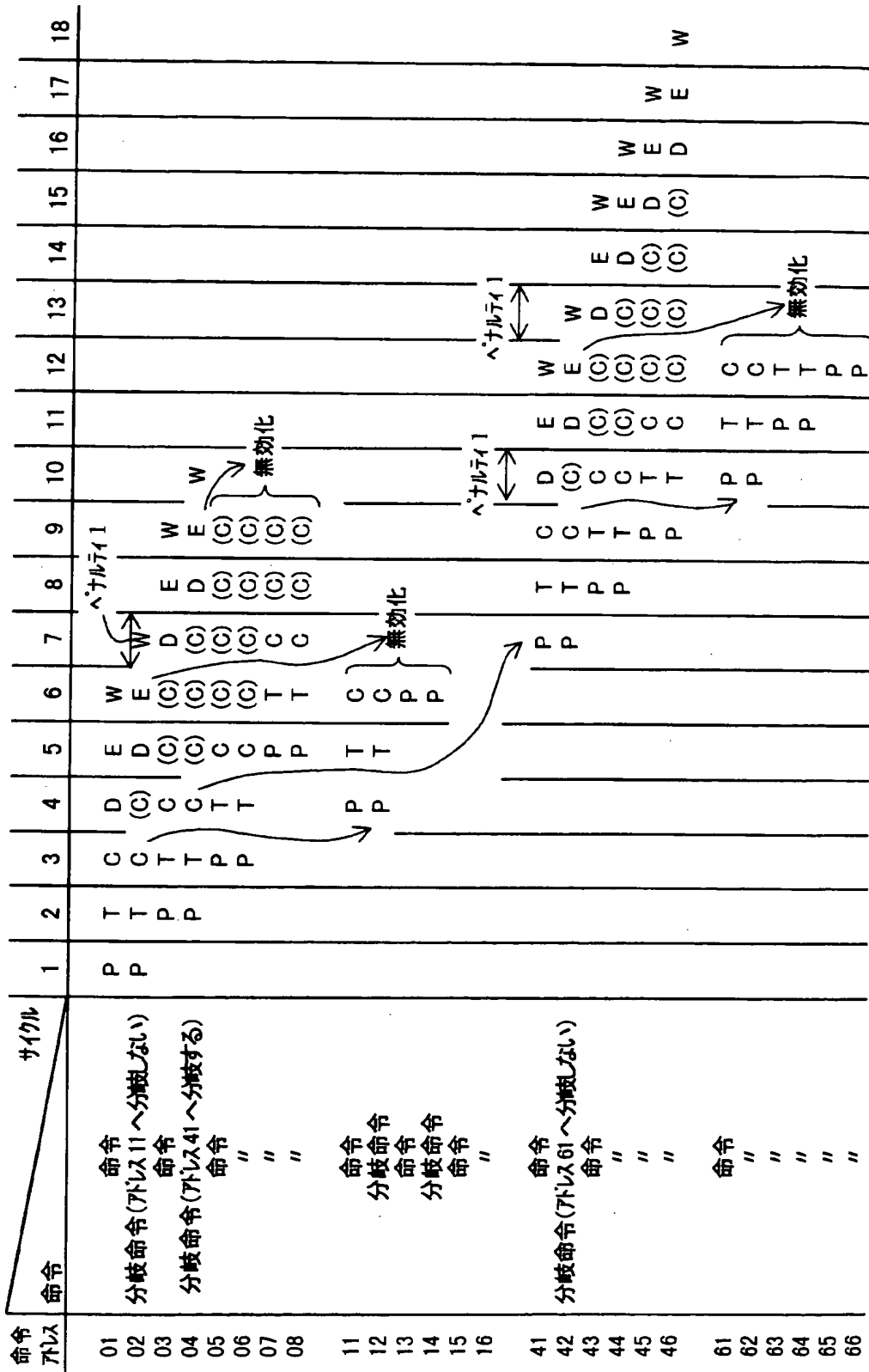
【図 9】

図4の分岐ルート(2)の場合のタイミングチャート



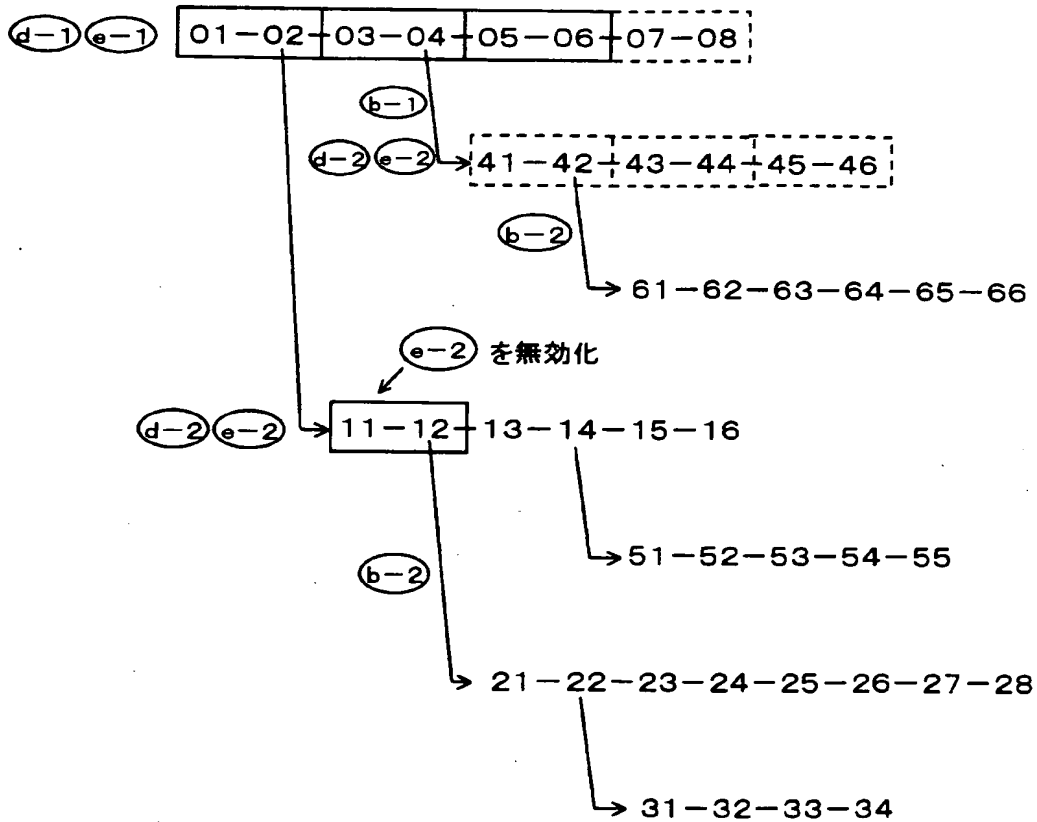
【図 1 0】

図4の分岐ルート(3)のときのタイミングチャート



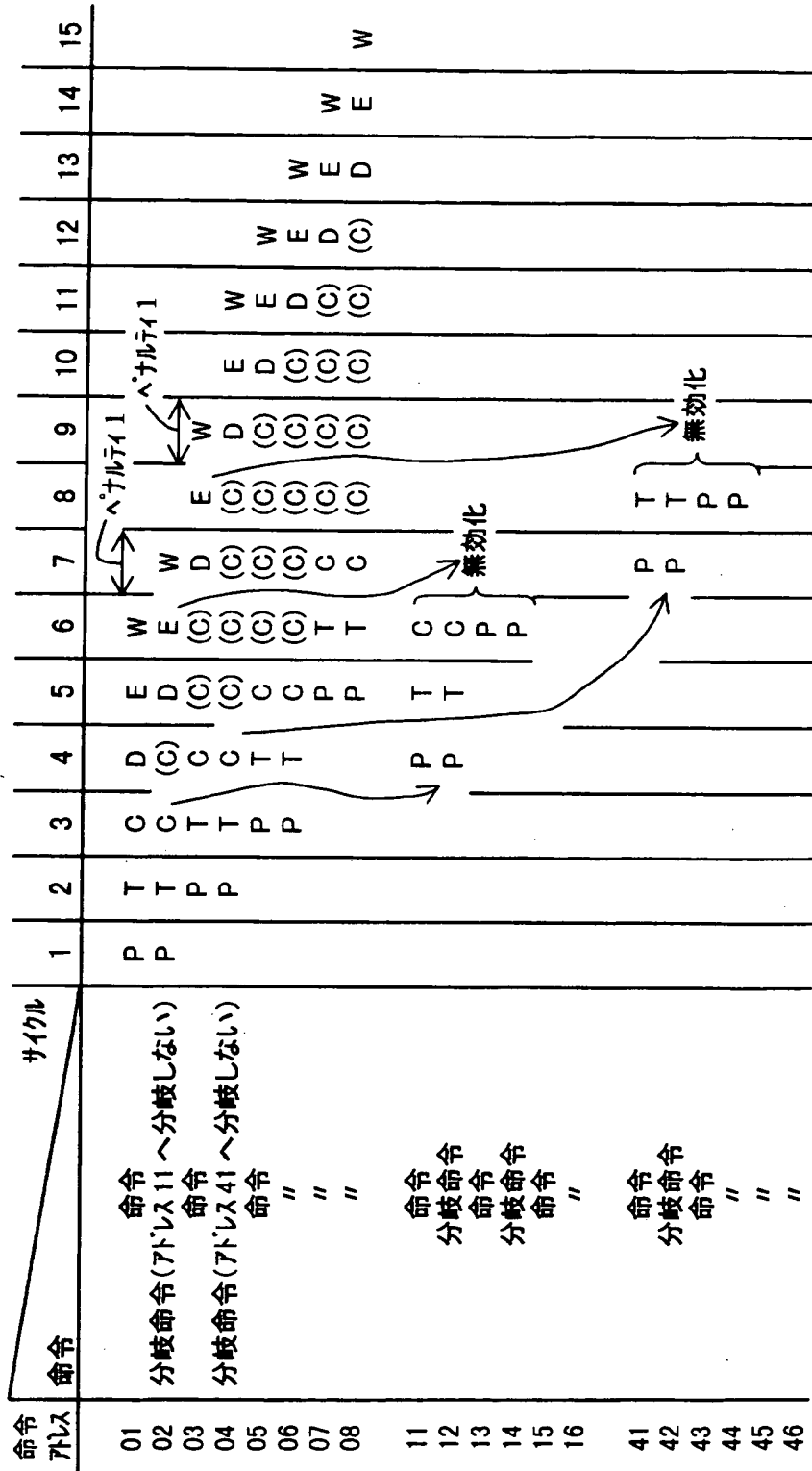
【図 1 1】

分岐ルート(3)のサイクル6における命令バッファの内容を示す説明図
(分岐命令02が分岐しないことが確定する場合)



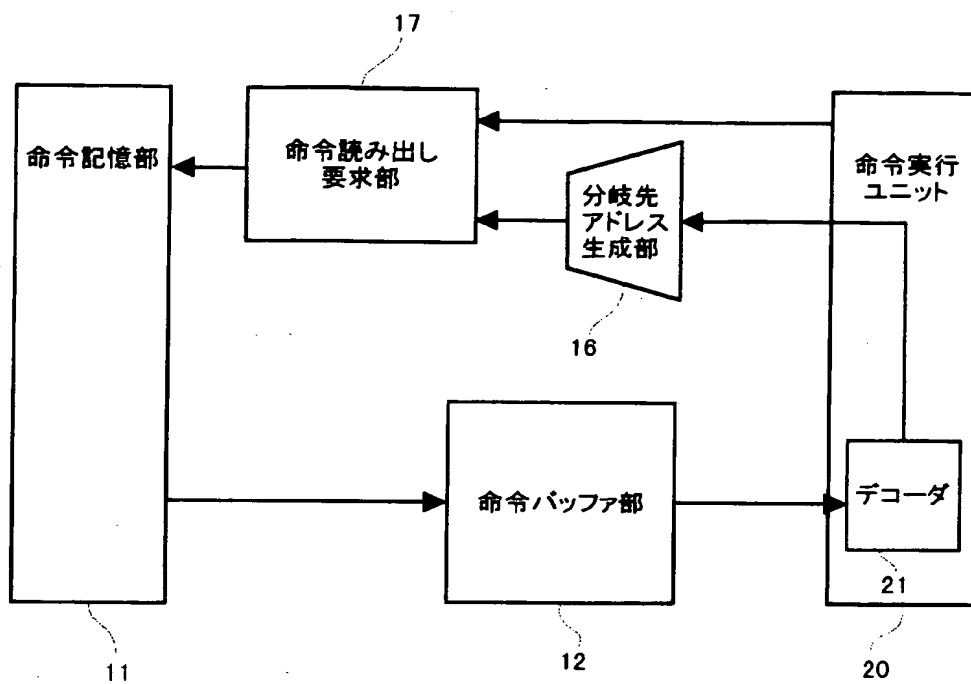
【図 1 2】

図4の分岐ルート(4)の場合のタイミングチャート



【図 1 3】

従来の情報処理装置の概略構成図



【書類名】

要約書

【要約】

【課題】 命令バッファ等のハードウェアの増大を抑えつつ、連続した分岐命令によってパイプライン処理が乱されるのを減らす。

【解決手段】 パイプライン処理により命令記憶部内の命令を読み出し、保持し、デコードして実行する情報処理装置において、前記命令記憶部に読み出し用アドレスを与える命令読出し要求部と、前記命令記憶部から読み出した命令列を保持する第 1、第 2 の命令バッファを含む命令保持部と、前記命令保持部が保持する命令をデコードして実行する実行ユニットと、前記命令記憶部から読み出した命令列内の分岐命令を検出する分岐命令検出部と、前記分岐命令検出部が分岐命令を検出した時に、当該分岐命令の分岐先アドレスを求めるための分岐先アドレスデータを保持する第 1、第 2 の分岐先アドレスデータバッファを含む分岐先アドレスデータ保持部とを有する。

【選択図】

図 1

認定・付加情報

特許出願の番号	平成 11 年 特許願 第 276625 号
受付番号	59900950363
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成 11 年 10 月 4 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜 3-9-5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜 3-9-5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社